

PROSJEKTITTEL: Elektronisk Kilometer teller	GÅR TIL:	Orientering	Uttalelse	Behandling	Etter avtale
		Prosj.ansvarlig NTH:			
NOTATET GJELDER: Beskrivelse av CMOS-celler SPICE simuleringer av disse.	Prosj.ansvarlig ELAB: K.A. Ingebrigtsen	X			
	Prosjektleder: J. Meyer	X	X		
FORFATTER: Frank Berntsen	O. Aaserud	X			
	F. Berntsen	X	X		
Dato: 82 - 09 - 08	A. Moldestad, Åstvedt Ind.	X	X	X	(Reles)

Dette arbeidsnotat inneholder prosjektinformasjon og foreløpige resultater, som internt og uformelt underlag for endelig prosjektrapport fra ELAB. ELAB hefter ikke for notatets innhold, og det tas forbehold om at resultater/data er foreløpige og vil kunne bli endret i den endelige prosjektrapport. For åpne prosjekt tas forbehold mot gjengivelse av innholdet, idet det eventuelt vil bli søkt utnyttet i forbindelse med patentering, publikasjoner o. lign.

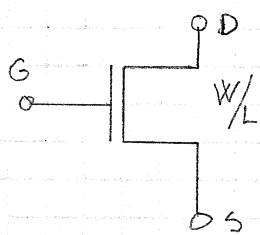
Notatet beskriver de enkelte celler i kretsen. Cellene slik de er gjengitt her er simulert med SPICE2 og funnet å fungere tilfredstillende.

1. Beskrivelse av primitive celler s. 1.
2. Ripple teller elementet s. 4.
3. Skiftregister elementet s. 7.
4. Skifti/teller- elementet s. 9.
5. Schmitt - triggeren s. 13.
6. Multiplexer / klokke driver s. 15.

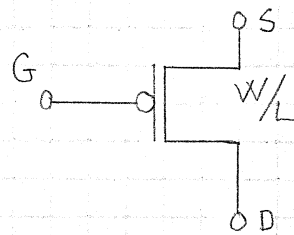
Appendix: Plott av cellene

## 1. Beskrivelse av primitive celler.

De celler som er mer komplekse enn en enkelt NAND, NOR- eller INVERT-port beskrives med både et funksjons-skjema og et transistor-skjema. Elementene i transistor-skjemaet er vist på fig. 1. Det tallet som står på hver transistor er gaten's bredde/lengde forhold. Om  $W/L$  ikke er angitt, antas en minimumgeometri-transistor  $W=L=7.5\mu$ ,  $W/L=1$ .



n-kanal transistor

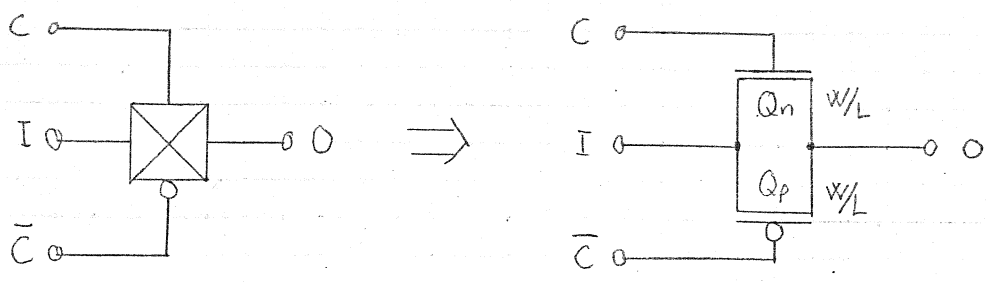


p-kanal transistor

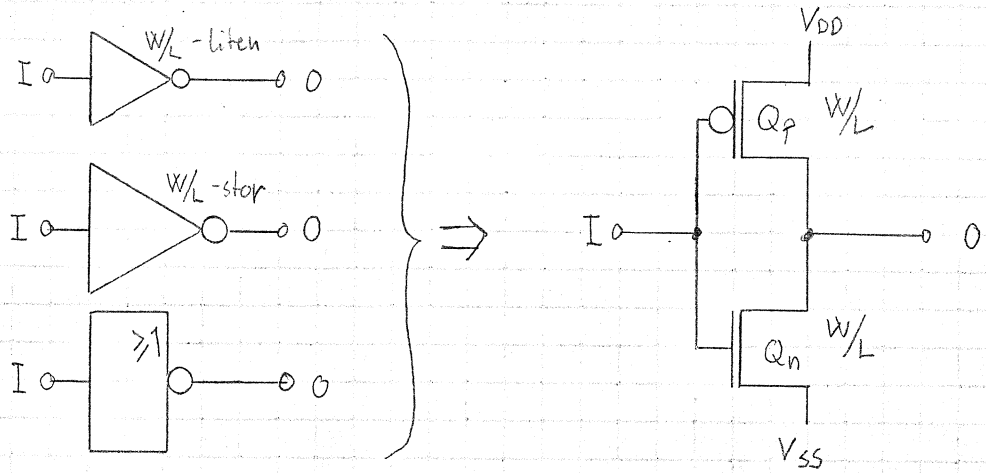
Fig. 1. Symboler for transistor-skjema.

N-kanal-transistorens substrat er koblet til Ground ( $V_{SS}$ ) mens P-kanal-transistorens substrat er koblet til  $V_{DD}$ .

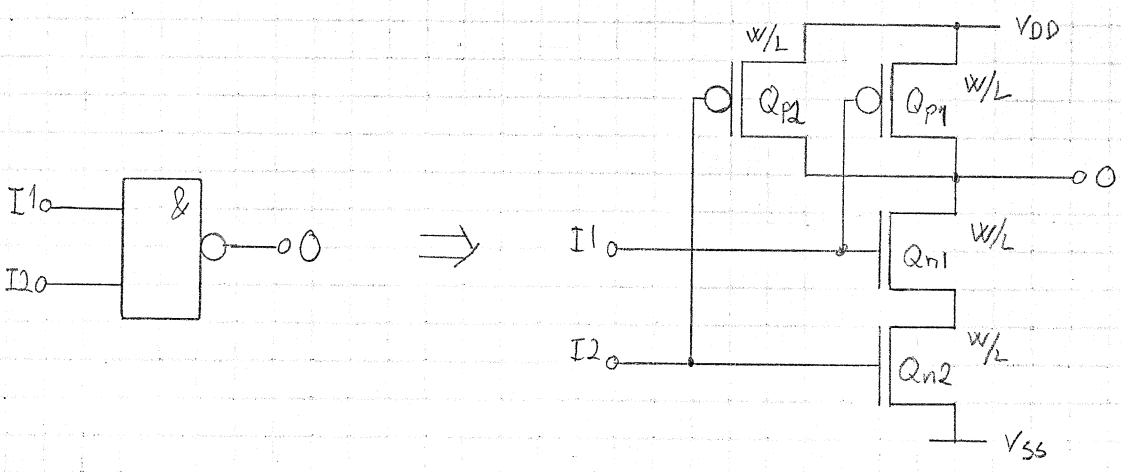
Elementene i funksjons-skjemaene er vist på figur 2. NAND- og NOR-portene kan ha flere enn to innganger, og de utvides med å sette en ny transistor i både serie- og parallell-grener for hver ny inngang. Transfer-gaten er en konstruksjon som tillater signal-flyt fra inngang til utgang når  $C$  er høy (og  $\bar{C}$  lav), mens den representerer en svært høy impedans når  $C$  er lav ( $\bar{C}$  høy).



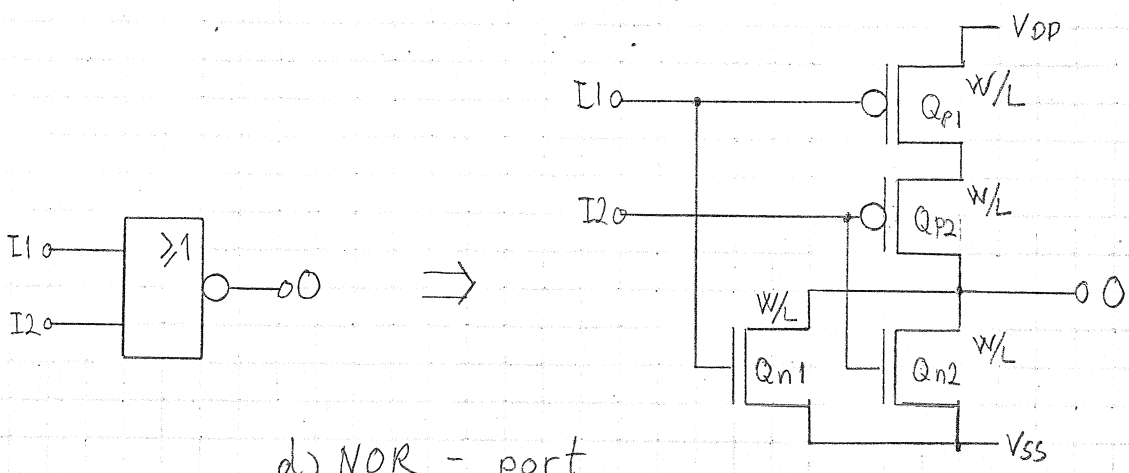
a) TRANSFER - port



b) INVERTER, med alternative symboler



c) NAND - port



d) NOR - port

Fig. 2. Symboler for funksjons-skjema,

Konstruksjonen i figur 3 benyttes som latch i alle vippe elementene. Når transfer-gaten  $T$  er stengt ( $C$  lav) vil den positive tilbakemeldingen av  $N1$  gjennom  $N2$  sørge for at det signalet som står på utgangen ( $\bar{Q}$ ) blir stående. Når  $T$  så åpnes vil  $\bar{Q}$  anta den inverterte verdi av inngangen ( $D$ ), forutsatt at signalet som driver  $D$  har mye lavere impedans enn utgangsimpedansen av  $N2$ . Dette opprås ved at  $N2$  lages med langkanal-transistorer ( $W/L \ll 1$ ) mens trinnet som driver  $D$  har "brede" transistorer ( $W/L > 1$ ). Denne konstruksjonen kalles transparent latch fordi utgangen følger inngangen når  $C$  er høy, og "latcher" inngangsverdien idet  $C$  går lav. To slike latches i serie med klokke-signalene ( $C$  og  $\bar{C}$ ) ombyttet på andre trinn, utgjør en master-slave, flanke-trigget D-vippe.

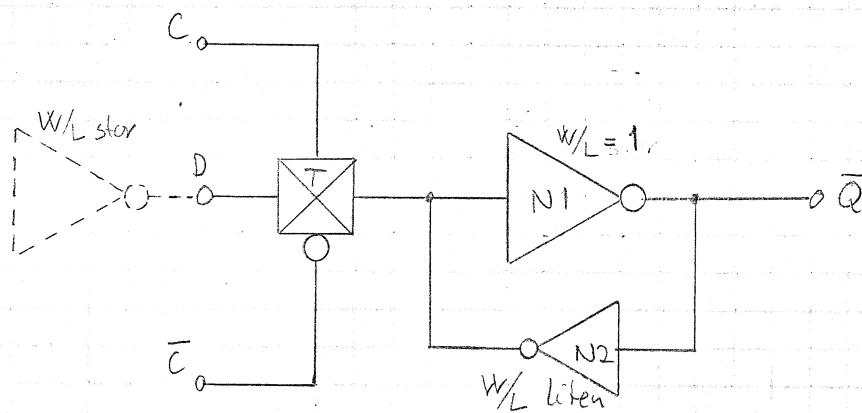


Fig. 3. Funksjons-skjema for transparent latch.

## 2. Rippelteller elementet.

Dette elementet er en master-slave D-vippe med tilbakekobling fra  $\bar{Q}$  til D. Figur 2.1 viser funksjonsskjema for dette, og figur 2.2 viser detaljert transistor-skjema.

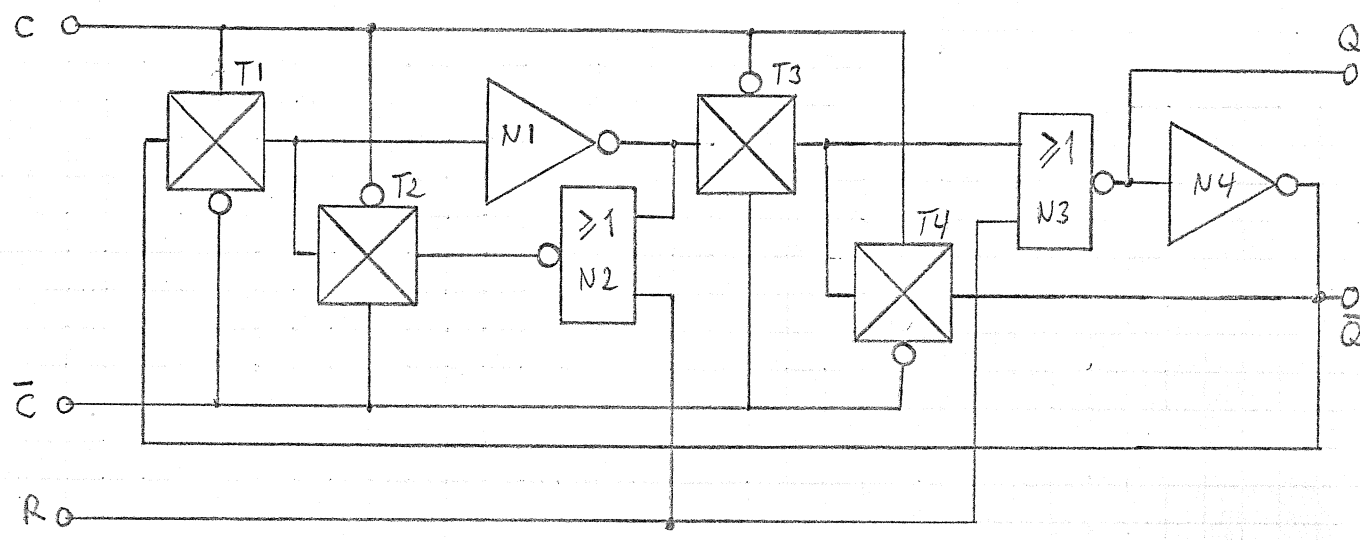


Fig 2.1 Funksjons-skjema for rippelteller elementet.

Master delen består av  $T_1, T_2, N_1$  og  $N_2$ . Når klokka er høy, er  $T_1$  åpen, og master antar  $\bar{Q}$ 's verdi. Slaven består av  $T_3, T_4, N_3$  og  $N_4$ .  $T_3$  er lukket når klokka er høy og slave-vippe holder sin verdi ved hjelp av tilbakekoblingen gjennom  $N_4, T_4$ . Når klokka går lav lukker  $T_1$  mens  $T_2$  åpner og master latcher  $\bar{Q}$ 's verdi ved klokkeflanken. Nå åpner  $T_3$  og lar master overføre sitt innhold til slave (og dermed også til utgangen). Når R (reset) er høy vil NOR-portene sørge for at begge halvdelene resetes asynkront. Transistor-skjema er vist i Fig. 2.2

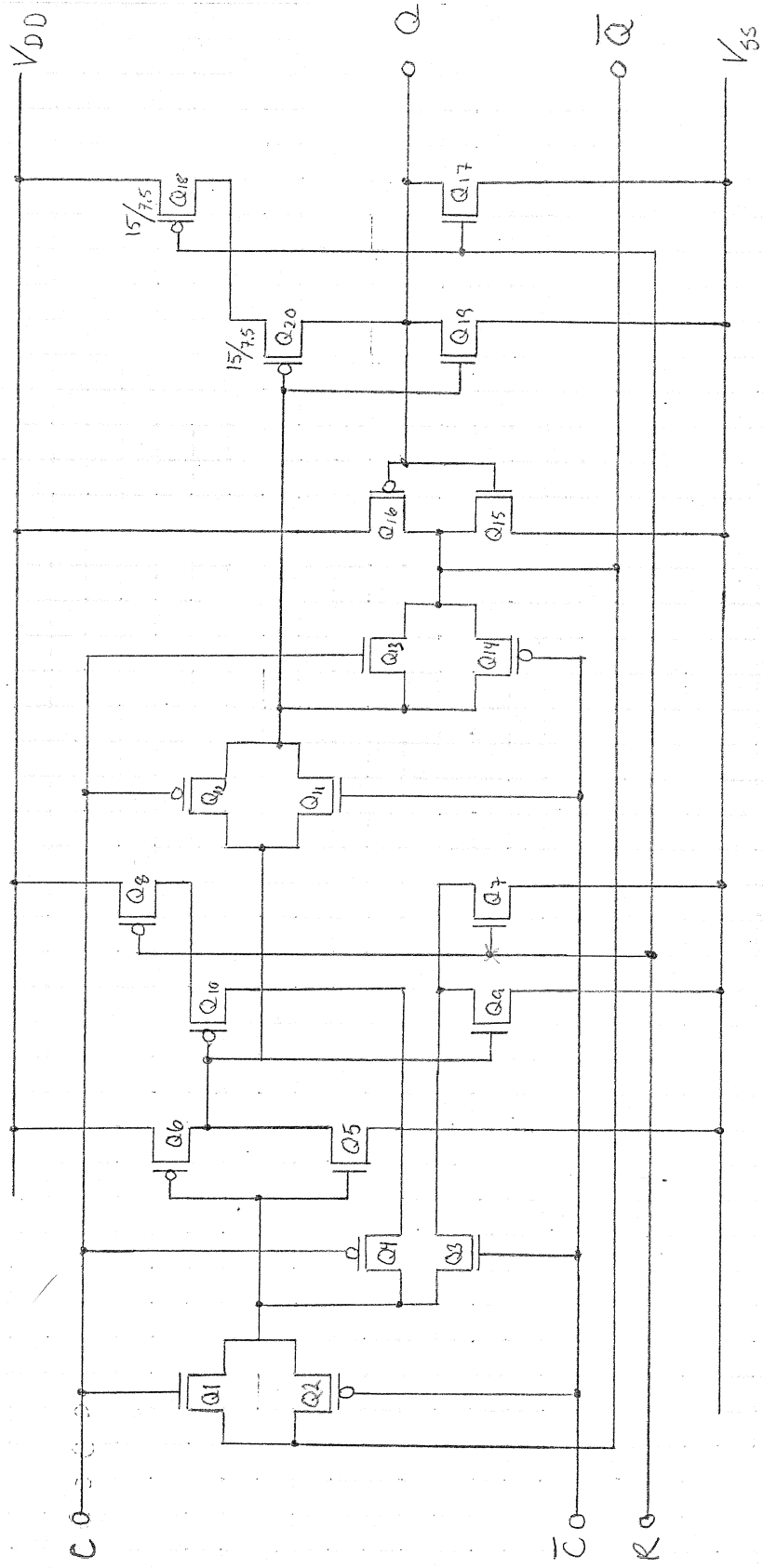


Fig. 2.2 Transistor skema for ripple-feller-elementet

Som transistorkjemaet viser er ripple telleren bygget av kun minimumtransistorer bortsett fra p-kanal-transistorene i NOR-porten som driver Q. Følgende transistorer realiserer hver funksjonsblokk:

$$T1 = Q1, Q2$$

$$T2 = Q3, Q4$$

$$T3 = Q11, Q12$$

$$T4 = Q13, Q14$$

$$N1 = Q5, Q6$$

$$N2 = Q7, Q8, Q9, Q10$$

$$N3 = Q17, Q18, Q19, Q20$$

$$N4 = Q15, Q16$$

### 3. Skiftregister elementet

Skiftregister-elementet er en enkel negativ-flanke-triggeret D-vippe. Chipen benytter to varianter av dette elementet. Den ene varianten, vist på figur 3.1., har ingen reset-inngang. Denne benyttes i ID-registeret.

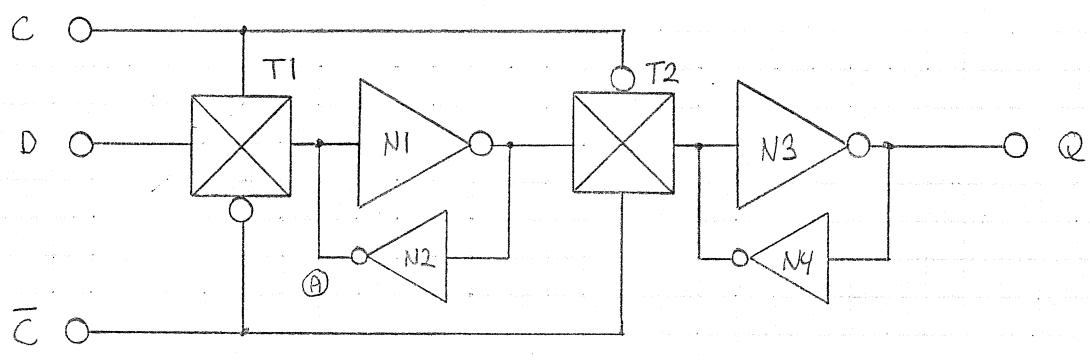


Fig 3.1. Funksjons-skjema for skiftregister-element (D-vippe).

Som det framgår av figuren består vippen av to "transparent latch" med motsatte klokke-signaler. Den venstre latchen (master) er åpen når C er høy, mens den andre er åpen når C er lav ( $\bar{C}$  = høy). Signalet på D vil latches i master idet C går lav og latches i slave når C går høy igjen.

D-vippe med synkron reset (reset må kun være aktiv når C er lav), fås ved å sette til en enkel N-kanal-transistor med drain i  $\textcircled{A}$ , source på  $V_{SS}$  og gate, på Reset-signalet. Ved høy Reset vil denne transistoren sørge for å dra  $\textcircled{A}$  til 0V dersom T1 er lukket.



Et detaljert transistor-skjema for D-vippen uten Reset er vist på figuren under.

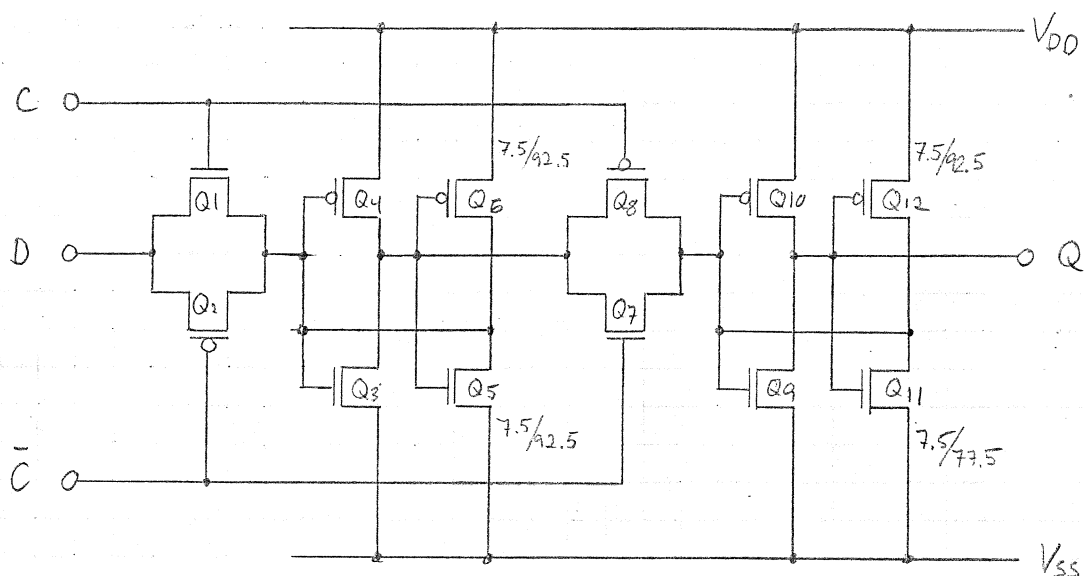


Fig 3.2 Detalj-skjema for D-vippe uten Reset.

Alle transistorer bortsett fra de som står i "svarte" invertere er minimums-geometri-transistorer. Følgende realiseringer av funksjonsblokkene eksisterer.

$$T1 = Q1, Q2$$

$$T2 = Q7, Q8$$

$$N1 = Q3, Q4$$

$$N2 = Q5, Q6$$

$$N3 = Q9, Q10$$

$$N4 = Q11, Q12$$

#### 4. Skift-/teller-elementet.

Figur 4.1 viser funksjonsskjemaet for denne cellen, mens tilhørende transistor-skjema er vist på figur 4.2.

I funksjonsskjemaet kjennes en igjen D-vippen fra kap. 3. som  $T3$ ,  $N3$ ,  $N4$ ,  $T4$ ,  $N5$  og  $N6$ . D-inngangen til denne vippen multiplexeres mellom Q-utgangen av forrige trinn og en mente-krets v. h. a. signalet  $K$ . Når  $K$  er høy vil  $T1$  være åpen, og elementet oppfører seg som en vanlig skiftregisterelement  $Q_{n+1}$  som D-inngang. Når  $K$  er lav vil  $T1$  være lukket, og  $T2$  åpen. Hvis forrige trinn i kjeden nå har aktiv mente ( $\overline{CK}$  er lav), sørger XNOR-porten  $N2$  for at vippen mates med  $\overline{Q_n}$ . Med inaktiv menteingang vil vippen mates med  $Q_n$  istedet. Elementet virker altså som et teller-element (skal skifte tilstand på klokkepuls kun når alle lavereordens bit står høye). Mente til neste trinn genereres når elementet har  $\overline{Q_n} = \text{høy}$  og mente inn er aktiv (da tillates neste element i kjeden å skifte tilstand på  $\downarrow$ ).

Som det framgår av detalj-skjemaet har dette elementet mange transistorer med dobbel bredde  $W/L = 15\mu / 7.5\mu$ . Dette er gjort for å senke impedansen i lange transistor-kjeder.

Sammenhenger mellom funksjons- og detalj-skjema:

$$N1 = Q1, Q2$$

$$N2 = Q3, Q4, Q5, Q6$$

$$N3 = Q13, Q14$$

$$N4 = Q15, Q16$$

$$N5 = Q19, Q20$$

$$N6 = Q21, Q22$$

$$N7 = Q23, Q24, Q25, Q26$$

$$T1 = Q7, Q8 \quad !$$

$$T2 = Q9, Q10 \quad !$$

$$T3 = Q11, Q12$$

$$T4 = Q17, Q18$$

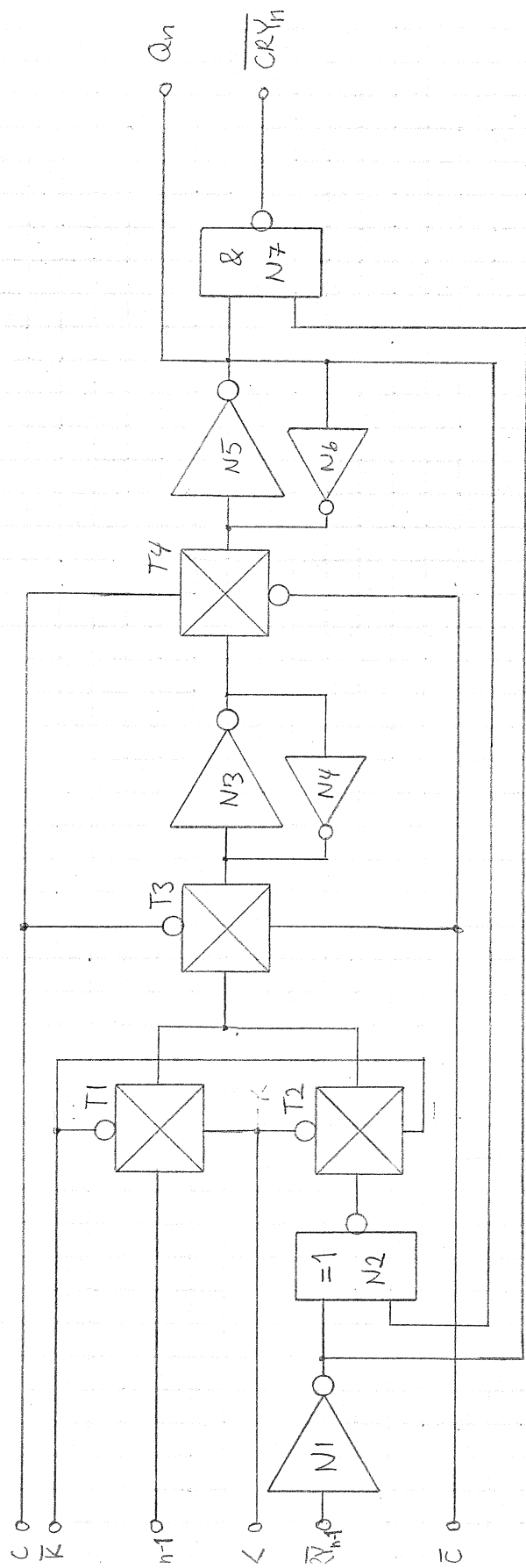


Fig. 4.1. Funktions skjema for iskiift / teller -  
celle.

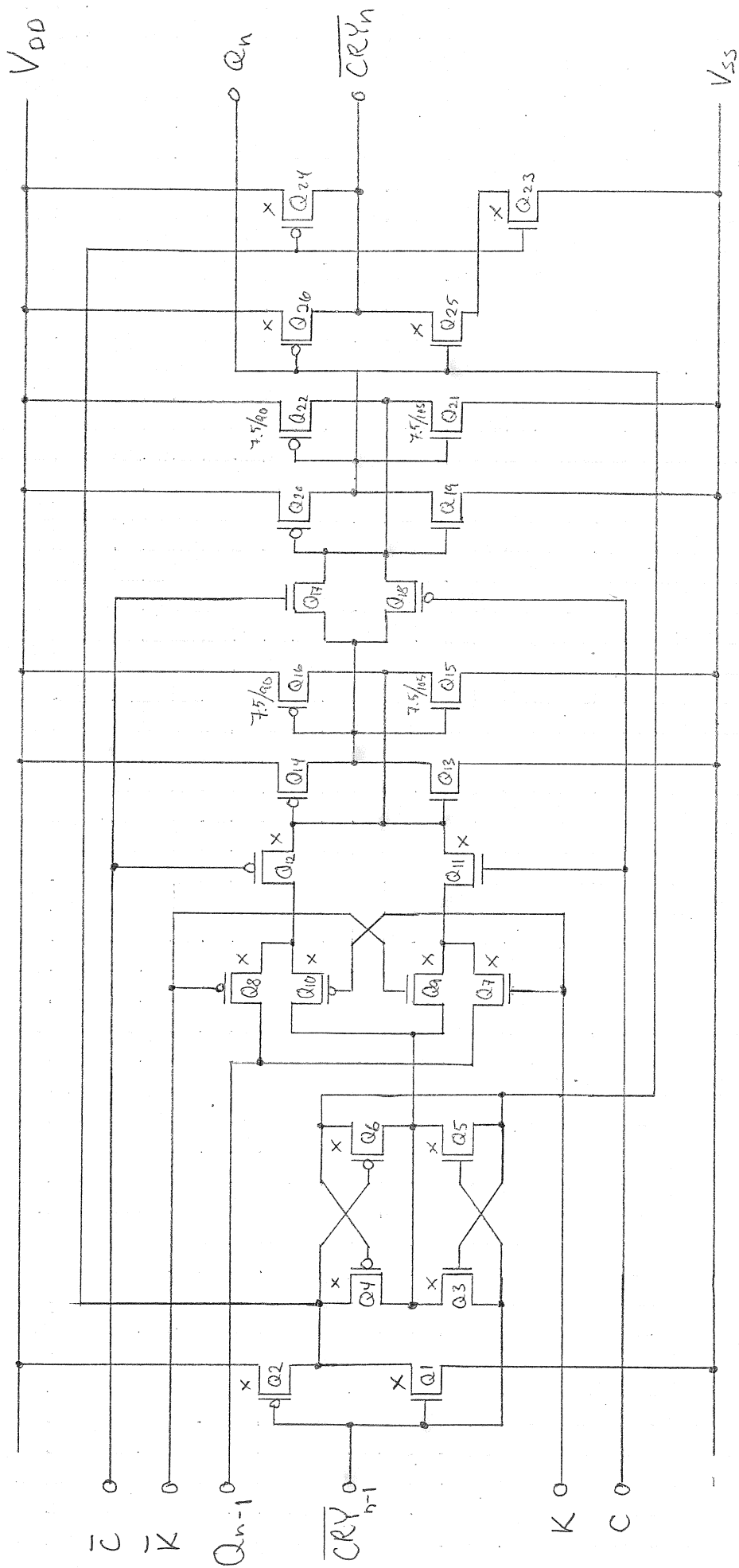


Fig 4.2. Detalj-skjema for taller/skift elementet.  
 (x står for  $W/L = 15/7.5$ )

### 5. Schmitt-triggeren.

Både oscillator og pulsformerne er bygget opp rundt dette elementet. Detalj-skjemaet for schmitt-triggeren er vist under.

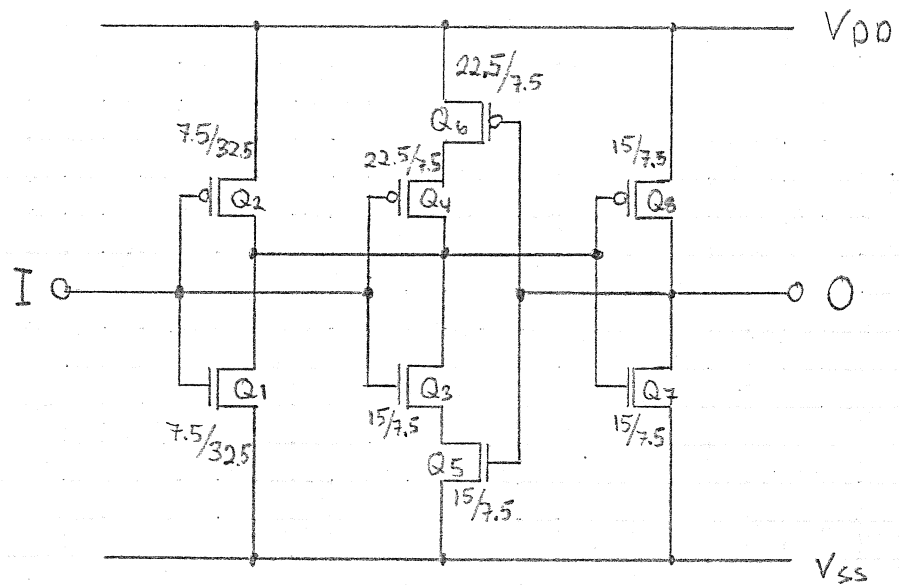


Fig 5.1. Detalj-skjema av Schmitt-triggeren

Kretsen består essensielt av to parallellkoblede invertere (Q1-Q2 og Q3-Q4). Inverteren Q1-Q2 har lange kanaler og dermed mindre driv enn Q3-Q4. Q5 og Q6 står som "brytere" for inverteren Q3-Q4. Inverteren Q7-Q8 driver "bryteren" og Schmitt-triggerens last.

Virkemåten som Schmitt-trigger beror på at inngangs-signalet I må komme svært nær motsatt ytterverdi før den "svake" inverteren makter å overvinne den etablerte koblingen i Q3-Q5 eller Q4-Q6. Når først så skjer, går derimot omslaget raskt. Koblingen er ikke-

Ved å justere lengden på kanalene i den svake inverteren kan terskel-spenningsene  $V_{TH}$  og  $V_{TL}$  (ved h.h.v. lav-høy- og høy-lav-omslag) varieres. Det opprinnelige ønsket var å legge  $V_{TH}$  på 60% av  $V_{DD}$  og  $V_{TL}$  på 40% av  $V_{DD}$ . Simuleringer med SPICE viste at dette var umulig å oppnå med så lav forsynings-spennning som 3,45 V (trolig fordi transistorenes egne terskel-spenninger er relativt store i forhold til forsynings-spenninga).

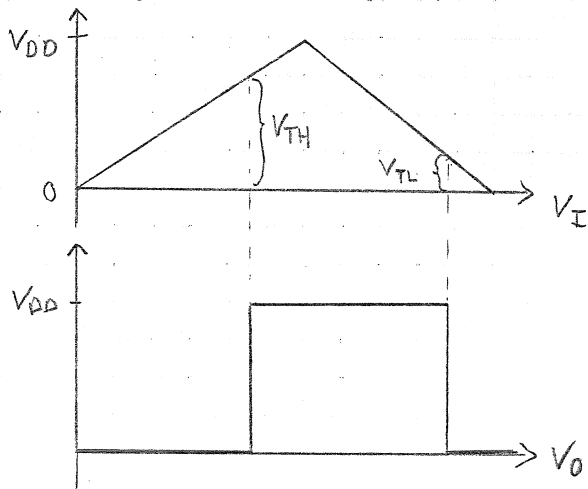


Fig 5.2. Terskel-spenninger for Schmitt-trigger.

SPICE gav som resultat at  $V_{TH}$  og  $V_{TL}$ , i figuren over, konvergente mot h.h.v. 75% av  $V_{DD}$  og 20% av  $V_{DD}$  etterhvert som kanal-lengden i  $Q1$  og  $Q2$  ble gjort kortere. Ved å redusere kanal lengden under  $32,5 \mu\text{m}$  var det så å si ingen endringer å spore i terskel-spenningsene.

## b. Multiplexer / klokke driver.

Disse funksjonene er laget som en celle da de som oftest forekommer i kombinasjon. Funksjonsskjemaet er gitt i figur 6.1.

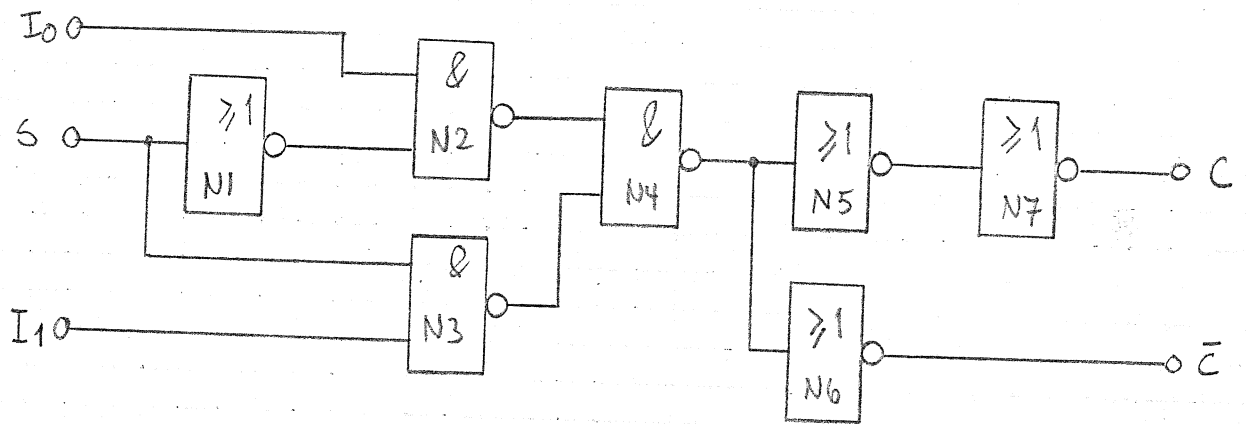


Fig. 6.1 Funksjonsskjema for multiplexer (N1, N2, N3, N4) og klokke driver (N5, N6, N7).

Denne blokken brukes for å velge mellom to forskjellige klokkesignaler til en teller / register. Når  $S$  er lav er  $C \equiv I_0$  og når  $S$  er høy er  $C \equiv I_1$ .  $\bar{C} \equiv C$ -invertert. Likningen som realiseres er:

$$C = \bar{S} * I_0 + S * I_1$$

$$\bar{C} = \overline{\bar{S} * I_0 + S * I_1}$$

Klokke driverens funksjon er å få minimum "skew" mellom de to klokkene  $C$  og  $\bar{C}$ . Det oppnås ved at N5 som driver kun en gate har mye mindre forsinkelse enn N6.



Detalj skjemat for klokke driveren er vist på neste side. Av dette framgår det at alle transistorer har minimum geometri. Sammenheng mellom funksjonsblokker og transistor skjema er:

$$N1 = Q1, Q2$$

$$N2 = Q3, Q4, Q5, Q6$$

$$N3 = Q7, Q8, Q9, Q10$$

$$N4 = Q11, Q12, Q13, Q14$$

$$N5 = Q15, Q16$$

$$N6 = Q17, Q18$$

$$N7 = Q19, Q20$$

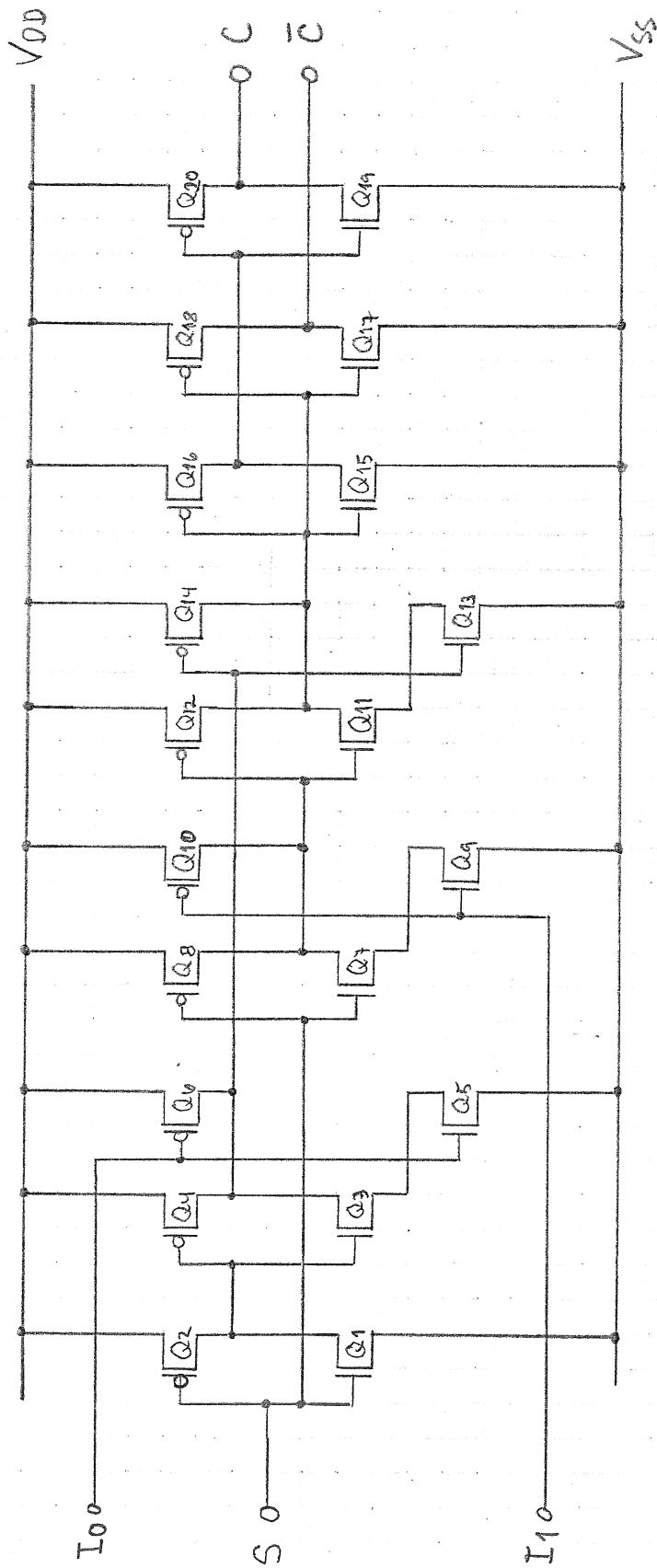


Fig 6.2 Detalj-skjema for multiplekser og klokkedriver.  
 Multiplekser er Q1 til Q14, klokkedriver Q15 til Q20.

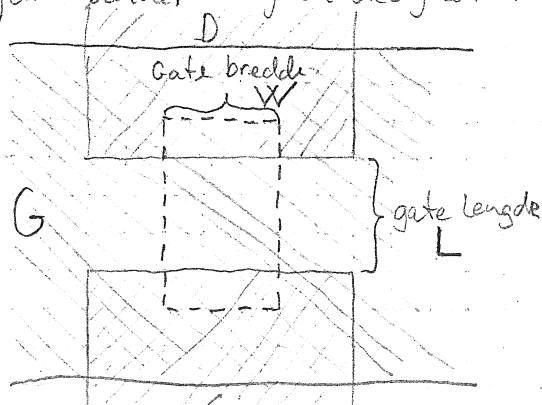
## Appendix: Plott av cellene


På de følgende sider følger plott av de cellene som er beskrevet tidligere. En kort beskrivelse av hvordan plottene leses følger her.


5 av ialt 9 maskelag er tatt med i plottene. Disse er:

Grønn	:	N-diffusjon
Rød	:	P-diffusjon
Svart	:	Tynt oksyd
Orange	:	Kontakt hull
Blå	:	Metall

N- og P-diffusjon samt metall brukes til å føre signaler (ledende lag). En transistor opptrer der et tynt oksyd-område går fra et diffusjonsområde til et annet (enten N- eller P-) og samtidig overlappes av metall. Metallot blir transistorens gate-elektrode, de to diffusjonsområdene blir h.h.v. drain og source. Kanalen i transistoren går under tynt-oksydet mellom de to diffusjonsområdene.



 = ~~x~~-diffusjon for x-kanal - transistor ( $x \in \{N, P\}$ )  
(Grønn/Rød)

 = Metall (Blå)


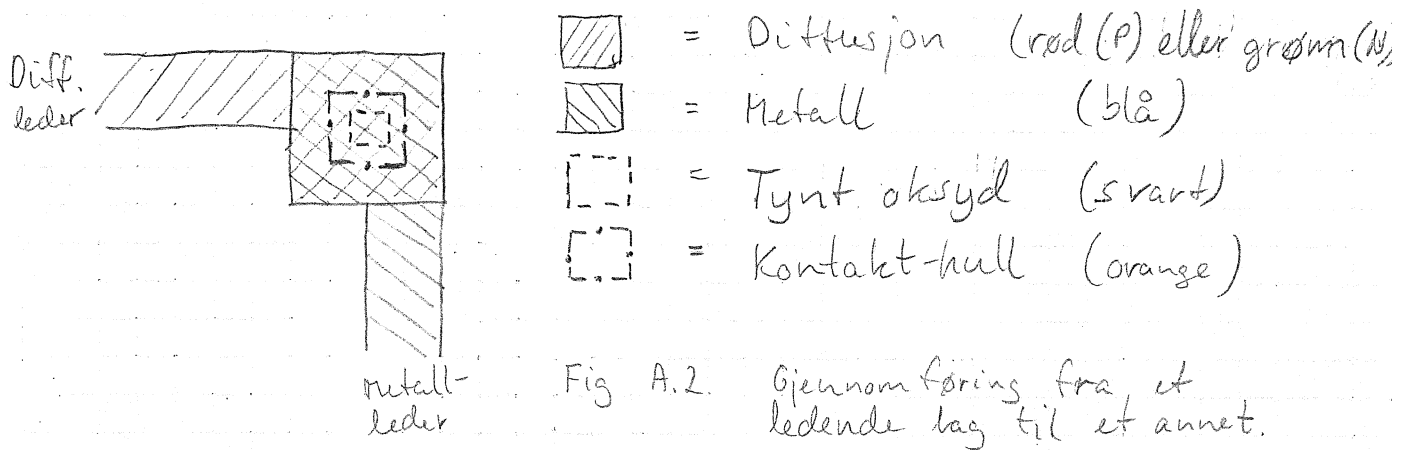
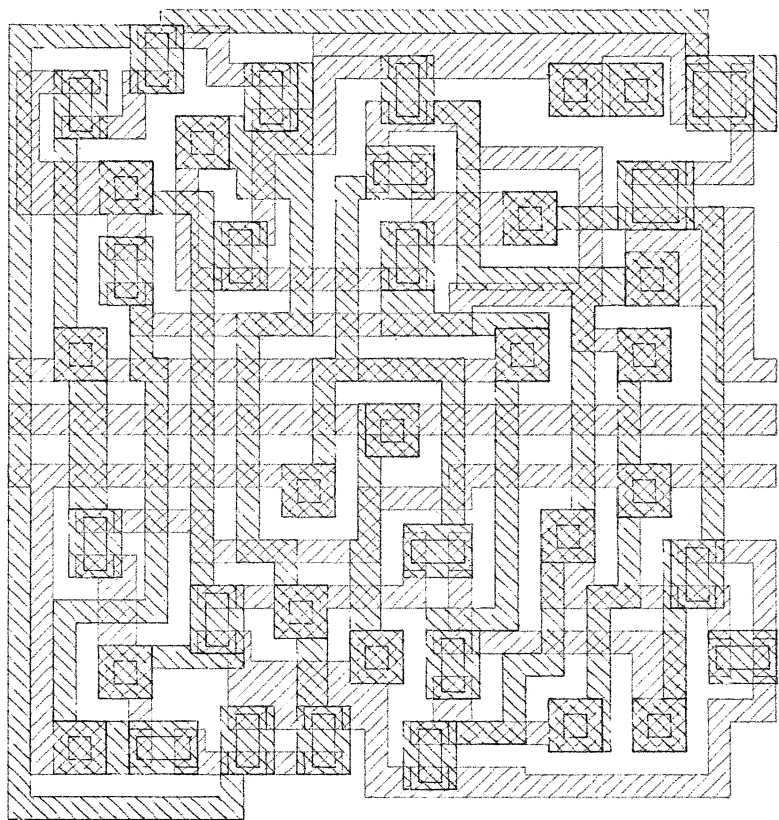
 = Tynt oksyd (Svart)

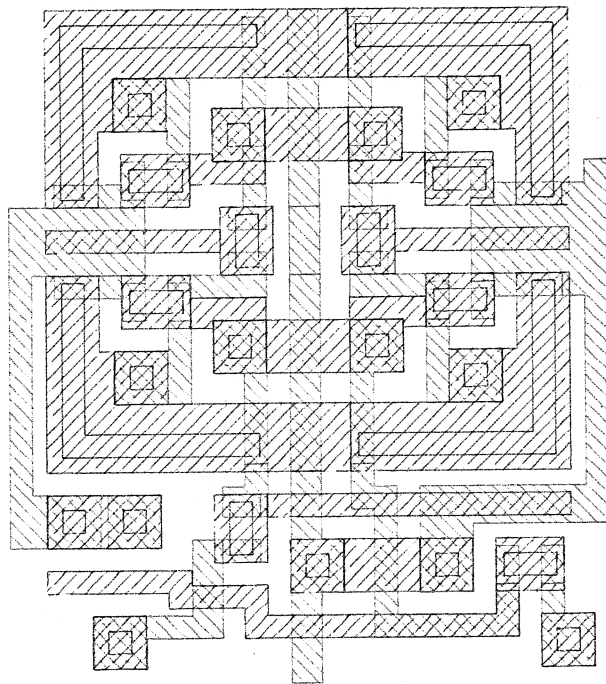
Fig. A.1. En CMOS-transistor.

Forbindelse mellom metall og et av diffusjonslagene gjøres ved å la metallet overløpe diffusjonen og plassere et kontakt-hull i overlappingen. I kontakt-hullet finnes også en firkant tynnt oksyd, men dette har kun betydning for prosesseringen ("slabere" kanter på hullet).

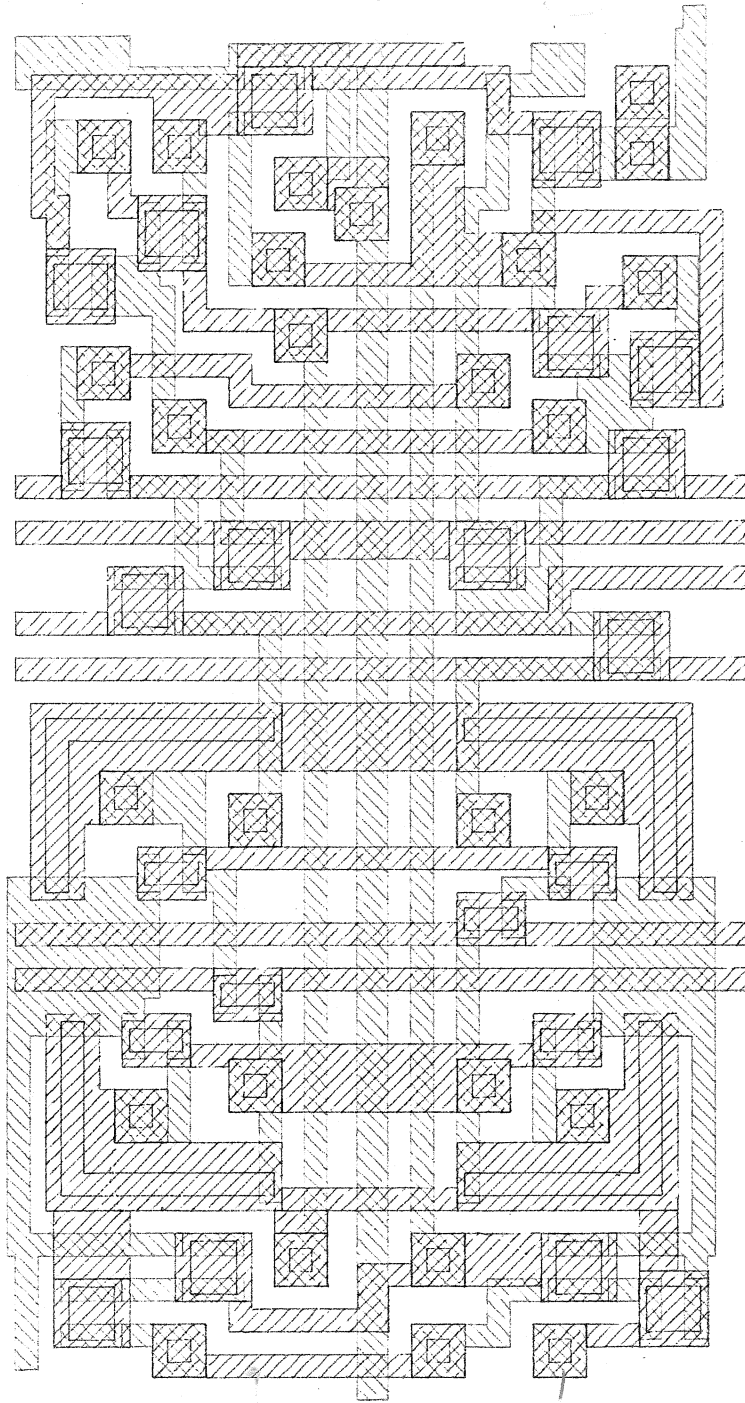




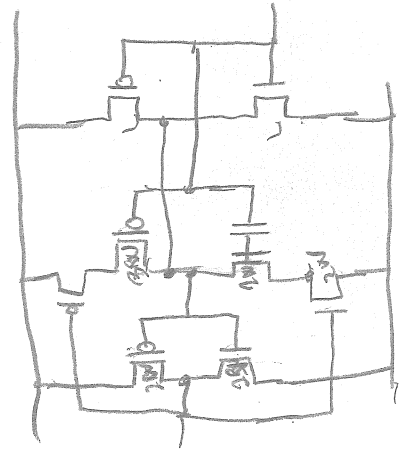
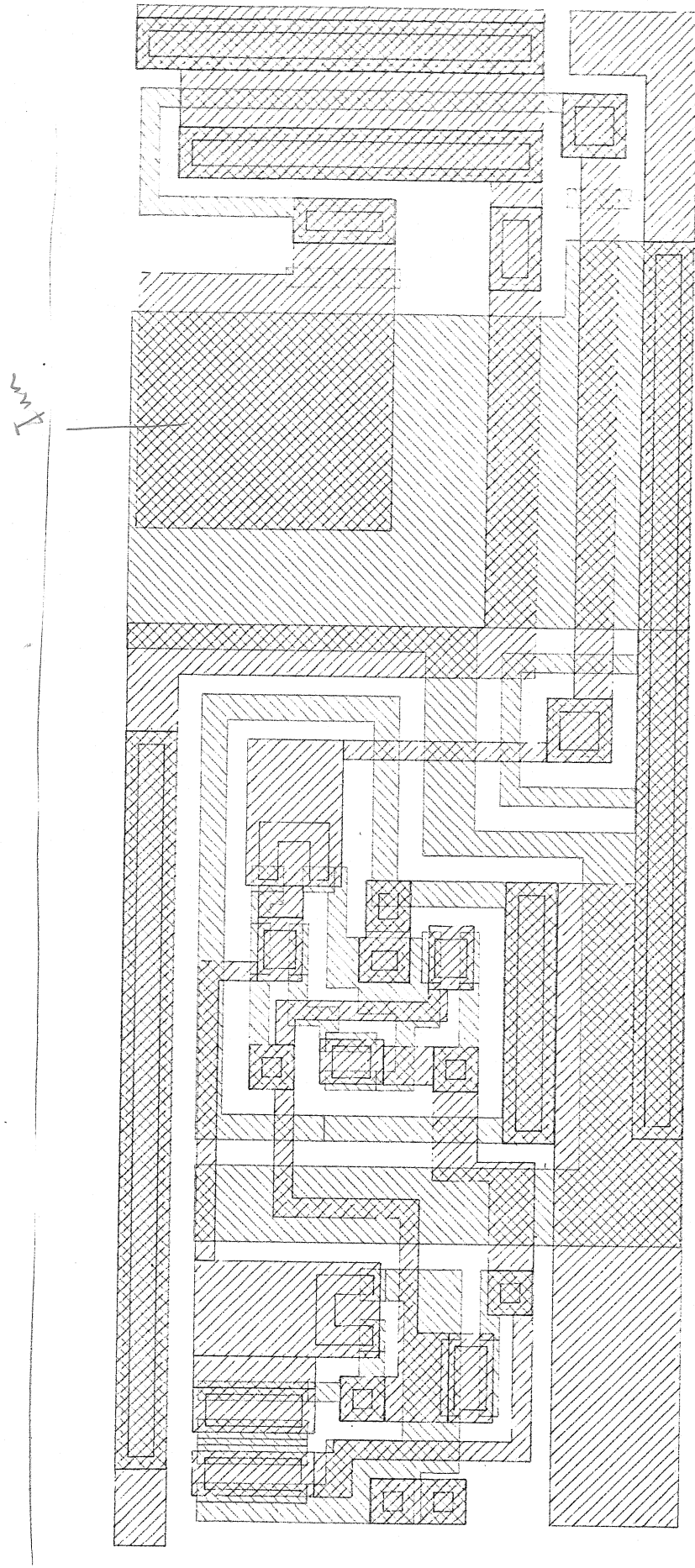
Plott av rippelteller-elementet.



Plott av skiftregister-elementet.

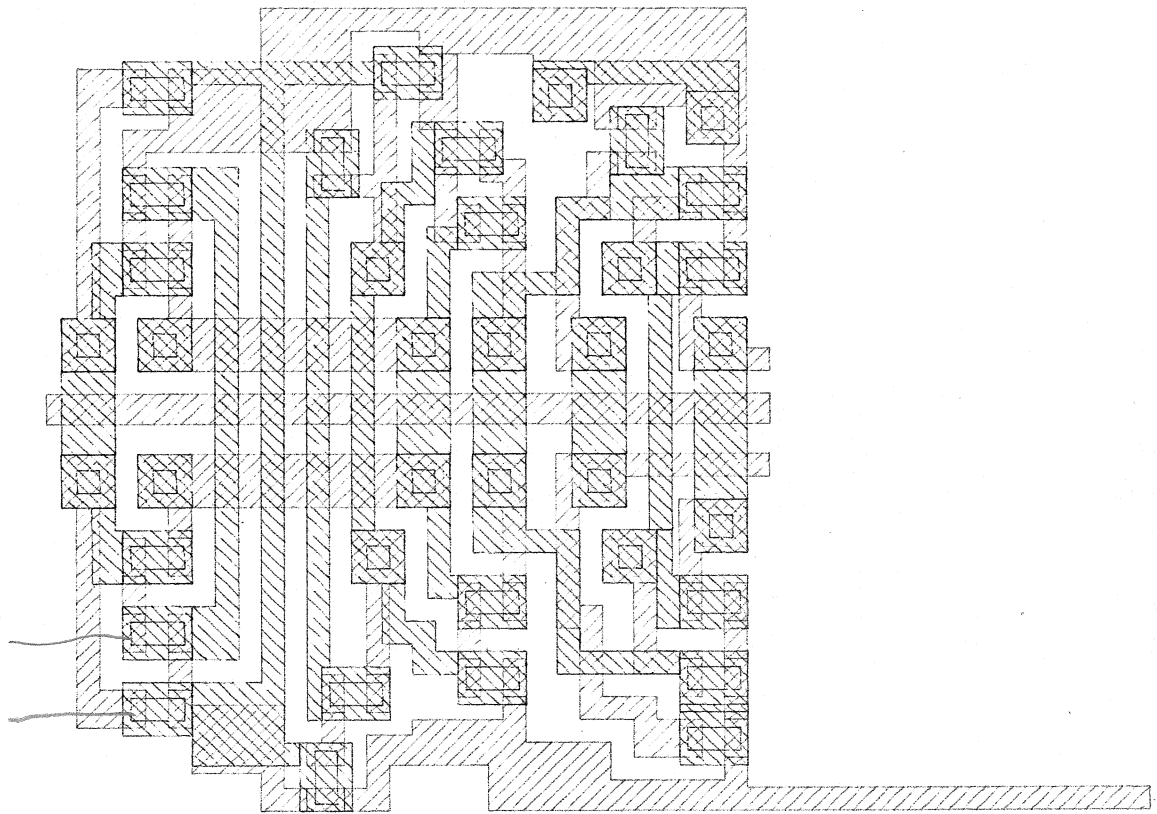


Plott av skift/teller elementet.



Plott av Schmitt-triggenen.  
 Øvre halvdel av plott inneholder inng. pæden





Plott av multiplekser / klokkedriver.